

(4)

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2587940号

(45)発行日 平成9年(1997)3月5日

(24)登録日 平成8年(1996)12月5日

(51) Int.Cl.
G 01 R 31/28
H 01 L 21/66

識別記号 序内整理番号

F I
G 01 R 31/28
H 01 L 21/66

技術表示箇所
H
Z

発明の数1(全7頁)

(21)出願番号 特願昭62-133812
(22)出願日 昭和62年(1987)5月29日
(65)公開番号 特開昭63-298175
(43)公開日 昭和63年(1988)12月5日

次章 → 次章でも

(73)特許権者 99999999
株式会社 アドバンテスト
東京都練馬区旭町1丁目32番1号
(72)発明者 植田 基夫
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(72)発明者 清水 敏行
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(72)発明者 長谷川 真平
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(74)代理人 弁理士 草野 卓

審査官 中塚 直樹

(54)【発明の名称】 ICテストシステム

〔57〕【特許請求の範囲】

【請求項1】被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号を測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要な各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールによりなり、同期用バスが設けられ、

上記複数の下位の処理装置はそれぞれ、上記同期用バスへ予め決めた一方の論理値の同期指令を出力する同期指令出力回路と、上記同期用バスの状態を受信する同期指令受信回路とをそれぞれ備え、

上記同期用バスを介する信号により上記複数の下位の各処理装置間で同期した制御をすることを特徴とするICテストシステム。

【発明の詳細な説明】

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

「従来の技術」

第3図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置(図

(2)

第2587940号

示せず)に格納されており、中央処理装置11が記憶装置からそのテストプログラムを読み出して順次実行するよう構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12を介してハードウェアモジュール13A, 13B, 13C~13Nが接続されており、中央処理装置11がテストプログラムを解読して実行するに伴って出力する制御信号は制御線12を通してこれらハードウェアモジュール13A, 13B, 13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するためのハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる論理素子の代替えであり、予め決められたシーケンス制御をするだけであって、複雑な判断機能を必要とするような使い方は一般にされてない。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解読と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

従って、中央処理装置が必要とする演算処理の時間が長くなり、テストシステムの試験速度を容易には上げることができない。とりわけDCテストのような電流信号入力-電圧信号出力特性、電圧信号入力-電流信号出力特性などの試験は被試験素子の入出力端子の数が多く、高速な試験制御が望まれる。

更に、被試験素子に対する試験内容によっては、各ハードウェアモジュールから時間的に整列した信号を試験用信号として供給する必要のある場合がある。しかも非常に正確な同時制御或いは順次制御のタイミングが要求されることがある。このような場合に、中央の処理装置がそれらのすべてのタイミング関係を取り扱っているとその処理に手間取って、時間的に間に合わなかつたりすることがなる。

また、或るハードウェアモジュールに緊急事態が生じた場合に、他のハードウェアモジュールも即時に適切な応答をしなければならないが、そのための応答動作について中央処理装置が各ハードウェアモジュールを制御するのは時間がかかり過ぎる。

「問題点を解決するための手段」

この発明のICテストシステムは、被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号を測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとよりなり、

「同期用バスが設けられ、

上記複数の下位の処理装置はそれぞれ、上記同期用バスへ予め決めた一方の論理値の同期指令を出力する同期指令出力回路と、上記同期用バスの状態を受信する同期指令受信回路とをそれぞれ備え、

上記同期用バスを介する信号により上記複数の下位の各処理装置間で同期した制御をする。

「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位での実行するを制御し、プログラム行の実際の解読及び実行は専用の複数の処理装置によって分散して行われる。

更に、この発明の構成によれば、上位の処理装置を介さずに、同期用バスを介する信号により下位の各処理装置間で同期した制御をすることができる。

「実施例」

第1図はこの発明のICテストシステムの構成例を示すブロック図である。特にDCテストを高速に実行することができるよう構成されたもので、このICテストシステムは複数の処理装置が階層構造をもって構成される。即ち、この発明のICテストシステムは記憶装置(図示せず)に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21に制御バス22を介して接続され、その上位の処理装置21の制御の下にプログラム行を実際に実行する複数の下位の処理装置23A, 23B, 23C~23Nと、これ等下位の処理装置23A, 23B, 23C~23Nに制御線24を通して制御されるハードウェアモジュール25A, 25B, 25C~25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で記述され、上位処理装置21はそのテス

(3)

第2587940号

トプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C~23Nが接続されており、上位の処理装置21は被試験素子のテスト状態をしながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に接続された各処理装置23A, 23B, 23C~23Nの何れかに委ねられる。

下位の各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号を制御するに適した専用の処理装置であり、それぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nを制御するに適した機械語をプログラム言語としている。下位の各処理装置23A, 23B, 23C~23Nは上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解読し、プログラム行の実行に入る。つまり、各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していない記憶装置に保持しており、与えられたプログラム行の解読結果によりその制御プログラムを読み出して、プログラム行に記述されている信号に関する入出力制御をする手順を実行する。

この下位の処理装置23A, 23B, 23C~23Nはそれぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nのいずれかにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに便利な命令語体系をもち、且つマクロ命令化されているので上位の処理装置21が自分の命令語体系で直接同じ処理をするより数十倍の処理速度が得られるように構成されている。

また、下位の各処理装置23A, 23B, 23C~23Nは、上位の処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係あるいは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う制御をするようにプログラムされている。

例えば、被試験素子の或る入出力状態Q1の時に、次の入出力状態Q2にするために、プログラム行で記述された命令として或る入力端子に信号を与えると、その被試験素子が置かれては成らない禁止の入出力状態Q3に陥ってしまう場合がある。処理装置23では、そのプログラム行を実行することにより、被試験素子がそのような禁止状態Q3になるか否かを調べ、禁止状態Q3を回避するような制御手順を判断してプログラム行を実行する。例えば、処理装置23は被試験素子の入出力状態が、状態Q1から状

態Q4、状態Q5……を経てプログラム行で記述された入出力状態Q2に至るよう制御手順を判断してプログラム行を実行する。

また、処理装置23はハードウェアモジュール25を介して測定信号を取り込むが、必要に応じて測定された信号の例えば直線補正とか、対数曲線補正なども行うことができ、また得られた測定データは基準値或いは閾値などと比較し、その良否の判定を行うと共にそれらの測定データ及び判定結果などを記憶装置のデータ領域に記憶する。

ハードウェアモジュール25A, 25B, 25C~25Nは下位の処理装置23A, 23B, 23C~23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A, 25B, 25C~25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は汎用のプロセッサが使用され、複雑な判断処理をするためのものなく、処理装置23からの命令により被試験素子に対する信号の入出力を制御するようになっている。

更にこの発明では、下位の各処理装置23A, 23B, 23C~23Nは相互に同期した処理を高速且つ正確なタイミングで行うことができるよう、下位の各処理装置23A, 23B, 23C~23N間に同期用バス27が設けられる。この同期用バス27を介して下位の各処理装置23A, 23B, 23C~23N相互間で同期指令を直接交換することが可能にされ、上位の処理装置21による同期制御処理を待たなくとも、下位の各処理装置間23A, 23B, 23C~23Nの同期的処理が正確且つ迅速に行うことができる。

第2図はこの発明の実施例の要部を示す図である。この発明によるICテストシステムには同期用バス27が設けられると共に、各処理装置23A, 23B~23Nには同期指令入出力端31A, 31B~31Nがそれぞれ設けられ、これら同期信号入出力端31A, 31B~31Nに同期用バス27が接続される。そして各処理装置23A, 23B~23Nの演算部32A, 32B~32Nは、これらの同期信号入出力端31A, 31B~31Nと同期指令出力回路33A, 33B~33N及び同期指令受信回路34A, 34B~34Nを介して接続される。

この実施例では、各同期指令出力回路33A, 33B~33NはRSフリップフロップ回路35A, 35B~35Nとラインドライバ36A, 36B~36Nとで構成されている例である。即ち、各演算部32A, 32B~32Nの同期要求信号37A, 37B~37NはRSフリップフロップ回路35A, 35B~35Nのセット端子Sにそれぞれ供給される。RSフリップフロップ回路35A, 35B~35Nの信号出力端38A, 38B~38Nはそれぞれ符号反転ラインドライバ36A, 36B~36Nを介して同期指令入出力端31A, 31B~31Nに接続される。

またこの実施例では、各同期指令受信回路34A, 34B~34Nはそれぞれラインレシーバで構成され、同期指令入出

(4)

第2587940号

力端31A, 31B~31Nから与えられた信号をこの例では符号を反転してそれぞれ演算部32A, 32B~32Nへ供給する。

以上の構成において、下位の処理装置23A, 23B~23Nの中の、例えば第1の処理装置23Aが上位処理装置21から与えられたプログラム行を解説している時に、被試験素子に与える自分の制御信号と他の下位の処理装置23B~23Nが処理している制御信号とをタイミングを合わせて出力するように記述されている場合がある。この場合に、下位の処理装置23Aの演算部32Aは同期要求信号37AでRSフリップフロップ回路35Aをセットし、他の下位の処理装置23B~23Nに対して同期処理の要求をする。

RSフリップフロップ回路35Aの出力はHレベルの信号に変化し、そのHレベルの信号はラインドライバ36Aで反転され、反転されたLレベルの信号は処理装置23A自身の同期指令受信回路34Aに与えられると共に、同期指令入出力端31Aから同期用バス27に出力される。このLレベルの信号は同期用バス27を通じて下位の各処理装置23B~23Nの同期信号入出力端31B~31Nに伝達され、それぞれの各同期指令受信回路34B~34Nで受信される。そのLレベルの信号は同期指令受信回路34A, 34B~34NでHレベルの信号に反転され、各演算部32B~32N及び同期指令を出力した処理装置32Aに供給される。各演算部32A, 32B~32Nでは、同期指令受信回路34A, 34B~34Nからの信号がHレベルの信号に変化するのを検出して同期指令の到来を知ることができる。

同期指令が検知されると、同期指令を出力した下位の処理装置23A自身及び下位の他の各処理装置23B~23Nは予め決められた同期処理のためのそれぞれのルーチンへ分岐する。各処理装置23A, 23B~23Nはそれぞれに課せられた同期処理が終了すると、それぞれの同期指令出力回路33A, 33B~33Nにリセット信号39A, 39B~39Nを送る。RSフリップフロップ回路35Aは信号リセット端子Rにリセット信号39Aを与えられてリセットされ、出力端子38Aからの信号はLレベルの信号に変化する。従って、同期用バス27上にはその反転された信号、つまりLレベルの信号はなくなる。

即ち、この発明の構成によれば、或る下位の処理装置が、自分の処理する試験用信号と他の下位の処理装置が処理する試験用信号との同期をとる必要が生ずると、その同期を要求する信号を出力すると共に、同期要求を出した処理装置自身がその同期信号を受信して同期処理に入るので、全ての処理装置23A, 23B~23Nが同一条件のもとに同期処理に入ることができ、同一タイミングによる試験動作の処理は勿論のこと正確な時間間隔での順序処理をすることができる。

他方、上位の処理装置21は図には示していないが下位の各処理装置23A, 23B, 23C~23Nのステータスを常に監視しているので、被試験素子に対する下位の処理装置相互間の同期制御処理が終了したことを知ることができ、次のプログラム行の実行するを制御する処理に入ることができる。

きる。

以上の例では、一本の同期用バス27が設けられた場合を示したが、必要とされる同期処理の種類或いはほど同時に異なる種類の同期処理の要求が発生する可能性に応じて、複数本の同期用バス27を設けることができる。この場合には同期処理の種別をコード化して同期用バス27に出力するようにしても良い。

また、下位の処理装置の何れかに不都合な事態が生じても、この同期用バス27を通じて同じ階層の処理装置に対して緊急指令を送ることができ、従って、遅滞なくその異常事態にも対処させることができる。即ち、下位の或る処理装置に不都合が生じた場合には、例えば、一時停止させなければならないことがある。通常は、不都合な事態が発生した下位の処理装置23A, 23B, 23C~23Nが上位の処理装置21に対して異常を知らせる割り込みをかけ、この異常割り込みを検知すると上位処理装置21は、例えば下位の各処理装置23A, 23B, 23C~23Nを一時停止させる制御をする。しかし、下位の処理装置23A, 23B, 23C~23Nから異常を知らせる割り込みをかけ、上位処理装置21の応答制御により他の下位の処理装置を停止させる処理をしていたのでは緊急時には遅過ぎることがある。しかし、この発明では、同期用バス27を同じ階層の処理装置間23A, 23B, 23C~23Nに設けることにより、上位の処理装置21の助けを借りることなく、直ちにしかもあたかも1つの処理装置23の如く統一的な緊急処理或いは同期処理をさせることができる。

【発明の効果】

以上に説明したように、この発明によれば、上位の処理装置は専らプログラム行の実行するを制御するよう構成し、プログラム行の実際の実行は下位の複数の処理装置に分散させるようにした階層構造での制御を探るようにした。このように分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を使用しているので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

また、この発明の構成によれば、同期用バスを下位の各処理装置間に設けたので、上位の処理装置の処理に依存することなく、下位の各処理装置間の同期処理を簡単に且つ容易にとることができる。従って、被試験素子に対して複数の試験用信号を非常に正確なタイミング関係をつけて供給することが可能となった。しかも、緊急時においても、直ちにテストシステムを一時停止或いは所定の退避状態に素早く入ることができる。

【図面の簡単な説明】

第1図はこの発明の実施例を示す構成図、第2図はこの発明の要部を示す回路構成図、第3図は従来のICテストシステムの構成例を示す図である。

11:中央処理装置、12:制御線、13:ハードウェアモジュール、14:マイクロプロセッサ、21:上位の処理装置、2

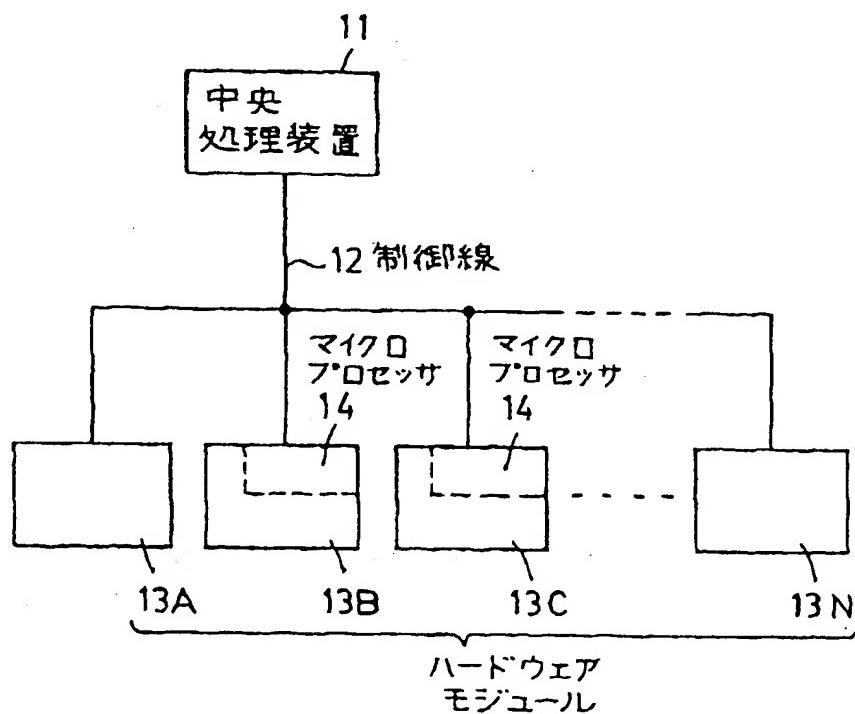
(5)

第2587940号

2:制御バス、23:下位の処理装置、24:制御線、25:ハードウェアモジュール、26:マイクロプロセッサ、27:同期用バス、31:同期指令入出力端子、32:演算部、33:同期指

令出力回路、34:同期指令受信回路(ラインレシーバ)、35:フリップフロップ回路、36:ラインドライバ、37:同期要求信号、38:出力端子、39:リセット信号。

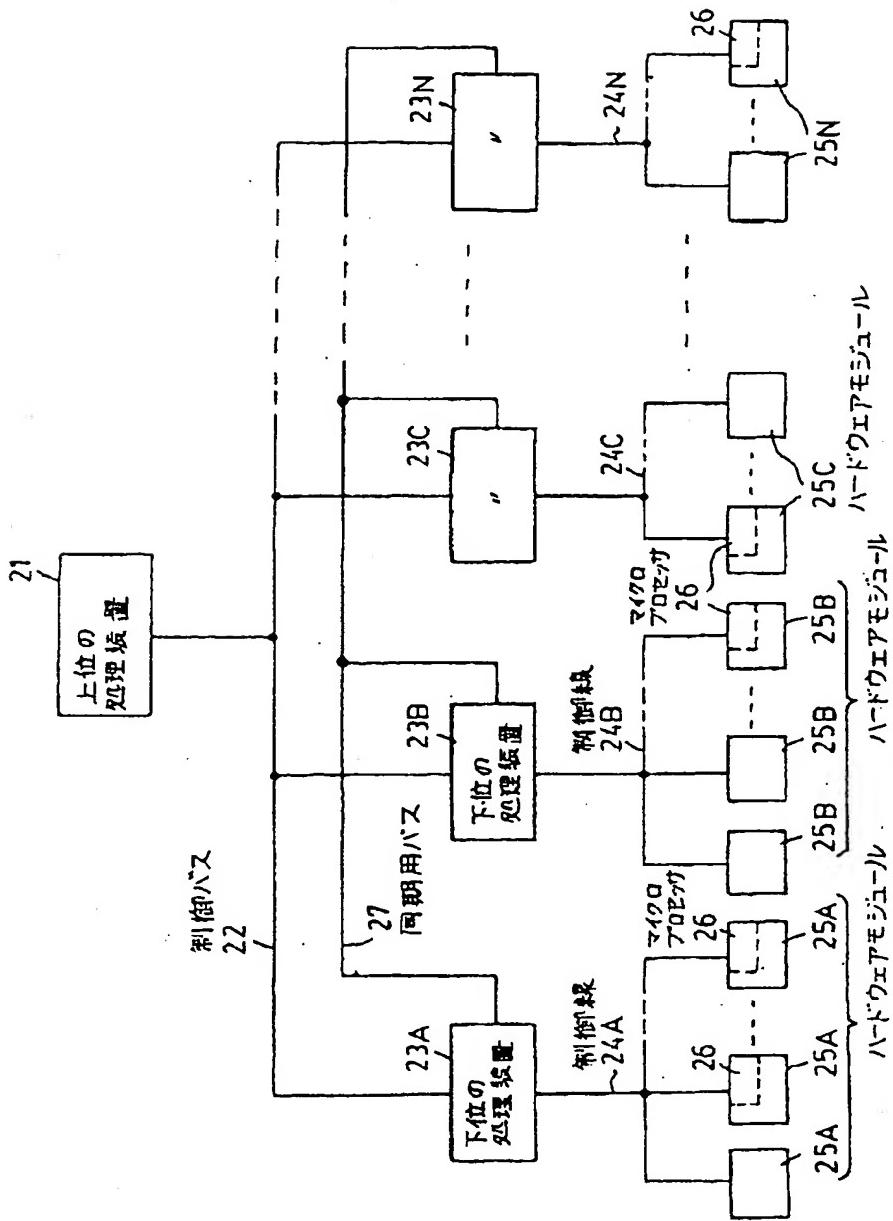
【第3図】



(6)

第2587940号

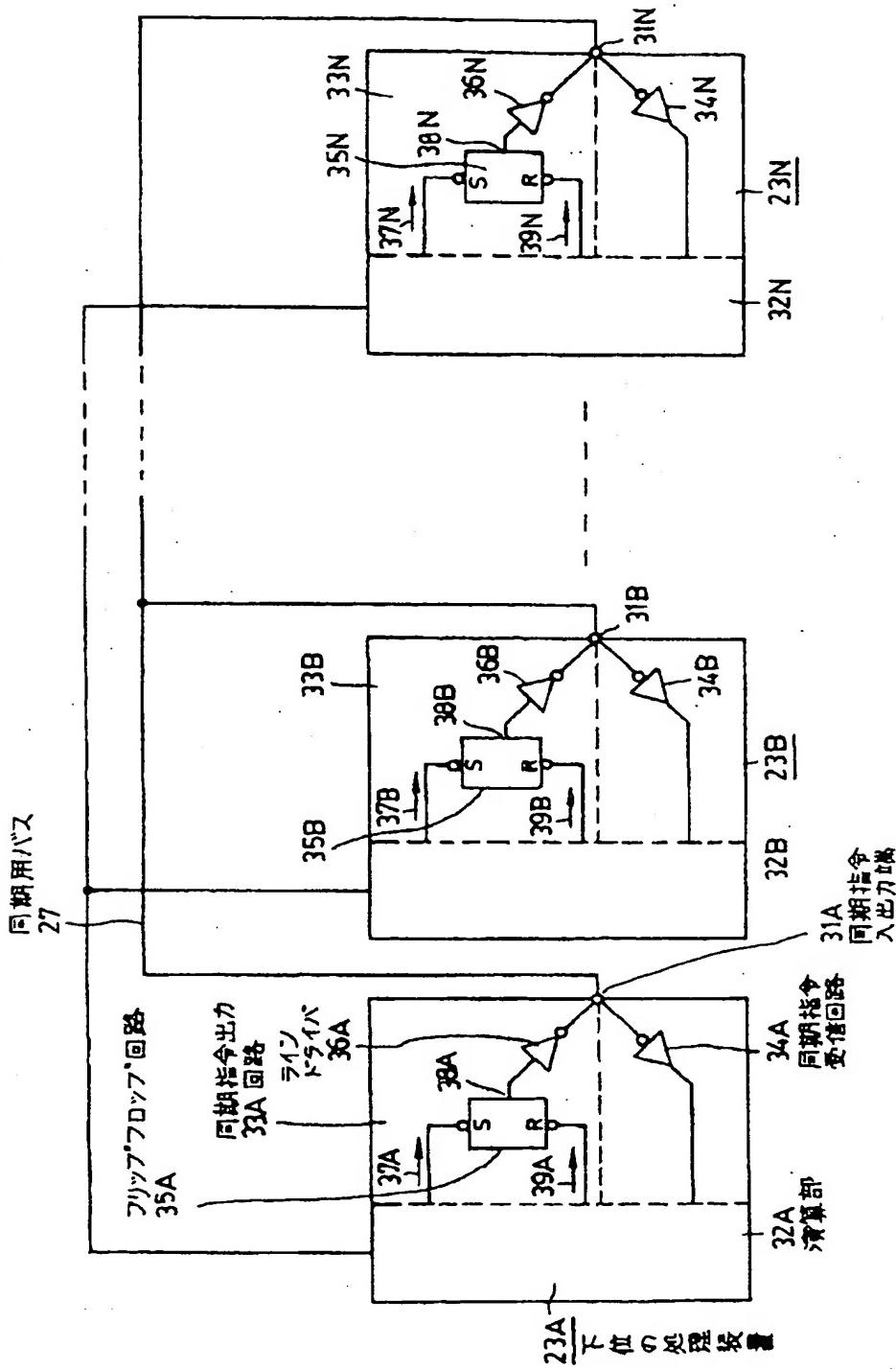
【第1図】



第2587940号

(7)

【第2圖】



2587940

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The setting instruction of the control signal to the input terminal of an examined component, and the processor of the high order which reads the test program on which run commands, such as a conversion command, were recorded per line in the output signal from the output terminal of an examined component per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of an examined component. The synchronous command output circuit which the bus for a synchronization was formed, and while determined beforehand the processor of two or more above-mentioned low order to the above-mentioned bus for a synchronization, respectively, and outputs the synchronous command of a logical value, IC test system characterized by carrying out control which synchronized between each processor of two or more above-mentioned low order with the signal which is equipped with the synchronous command receiving circuit which receives the condition of the above-mentioned bus for a synchronization, respectively, and minds the above-mentioned bus for a synchronization.

[Translation done.]

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION**[Detailed Description of the Invention]****"Field of the Invention"**

This invention relates to IC test system which has the distributed architecture which has a layered structure.

"Prior art"

Fig. 3 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program the test sequence which examines an examined component was described to be being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 through the control line 12, and the control signal which a central processing unit 11 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N through the control line 12.

That control signal is a control signal for supplying the direct current signal of 5.25V to the predetermined input terminal of for example, an examined component, and if this control signal is supplied, hardware module 13A will supply the direct current signal of 5.25V to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, and it will connect with the output terminal as which the examined component was specified, and hardware module 13B for measuring direct current voltage will measure that signal level, if this control signal is supplied.

As for the hardware modules 13A, 13B, 13C-13N, such as this, the microprocessor 14 may be incorporated. When a test circuit is constructed only by the general-purpose logical element, even if it needs the logical element of the huge number, the circuit board can be constituted small by constructing many parts of a logical circuit by the microprocessor 14. The microprocessor 14 in this case is substitution of a mere logical element, sequence control for which it opted beforehand is only carried out, and usage which needs a complicated judgment function is not made general.

"The trouble which invention tends to solve"

While a central processing unit outputs the control signal for performing decode of a program, and activation, i.e., the trial of an examined component, to a hardware module etc., measurement of the signal which an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system.

Therefore, time amount of data processing which a central processing unit needs cannot become long, and cannot gather the test period of a test system easily. The trial of current signal input-voltage signal output characteristics especially like a DC test, voltage signal input-current signal output characteristics, etc. has many input/output terminals of an examined component, and high-speed test control is desired.

Furthermore, there may be the need of supplying the signal which aligned in time from each hardware module depending on the contents of a trial over an examined component as a signal for a trial. And the timing of very exact concurrency control or sequential control may be required. In such a case, it becomes to take time in the processing, if the central processor deals with all those timing relationship, and not to do in time.

Moreover, although other hardware modules must carry out the suitable response for instance when emergency arises in a certain hardware module, time amount starts and is too late [that a central processing unit controls each hardware module] about the response actuation for it.

“The means for solving a trouble”

IC test system of this invention The setting instruction of the control signal to the input terminal of an examined component, The processor of the high order which reads the test program on which run commands, such as a conversion command, were recorded per line in the output signal from the output terminal of an examined component per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of an examined component. The bus for synchronization is formed. The synchronous command output circuit which while determined beforehand the processor of two or more above-mentioned low order to the above-mentioned bus for a synchronization, respectively, and outputs the synchronous command of a logical value, It has the synchronous command receiving circuit which receives the condition of the above-mentioned bus for a synchronization, respectively. Control which synchronized between each processor of two or more above-mentioned low order with the signal through the above-mentioned bus for a synchronization is carried out.

“An operation of invention”

According to the configuration of this invention, the processor of a high order controls activation **** in the line unit of a test program, and actual decode and activation of a program line are performed by two or more processors of dedication distributing.

Furthermore, according to the configuration of this invention, control which synchronized between each low-ranking processor with the signal through the bus for a synchronization can be carried out, without minding the processor of a high order.

“Example”

Fig. 1 is a block diagram showing the example of a configuration of IC test system of this invention. It was constituted so that it might be possible to perform especially a DC test at a high speed, and the processor of plurality [test system / this / IC] is constituted with a layered structure. Namely, the processor 21 of the high order which controls activation **** of the test program by which IC test system of this invention is stored in storage (not shown), The processors 23A, 23B, 23C-23N of two or more low order which is connected to the processor 21 like besides through a control bus 22, and actually performs a program line under control of the processor 21 of that high order, It consists of hardware modules 25A, 25B, 25C-25N controlled by the processors 23A, 23B, 23C-23N of low order, such as this, through the control line 24 hierarchical.

That is, as for the test program which examines an examined component, an experimental procedure is described per line, and it controls whether a host processor 21 performs the test program about read-out and its read program line one by one from storage per line.

The processors 23A, 23B, 23C-23N of two or more low order are connected to the processor 21 like besides, and actual activation of the program line which decided whether the processor 21 of a high order would perform the program line read while seeing the test condition of an examined component, and determined activation **** is left for each processors [which were connected to low order / 23A, 23B 23C-23N] any being.

Each low-ranking processors 23A, 23B, 23C-23N are processors of dedication suitable for

controlling the test signal to an examined component, and make programming language the absolute language suitable for controlling the hardware modules 25A, 25B, 25C-25N connected to each. If each low-ranking processors 23A, 23B, 23C-23N are entrusted with activation of a program line from the processor 21 of a high order, they will decode the program line and will start activation of a program line. That is, although each processors 23A, 23B, 23C-23N do not show in drawing the control program with which the procedure which outputs and inputs the test signal to an examined component was described, they are held to storage, the control program is read by the decode result of the given program line, and the procedure which carries out input/output control about the signal described by the program line is performed.

The processors 23A, 23B, 23C-23N of this low order have an instruction word system convenient to access hardware modules [which are connected to each / 25A, 25B 25C-25N] either, or to change a test condition (connection of a terminal and condition of a measuring instrument) etc. And since it is macro-instruction-ized, it is constituted so that the processing speed of a number decade may be obtained, rather than the processor 21 of a high order carries out the directly same processing for its instruction word system.

Moreover, each low-ranking processors 23A, 23B, 23C-23N It not only performs the program line which received request of activation from the processor 21 of a high order as it is, but decode a program line and it receives the decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, Check an input condition, timing relationship, or prohibition conditions, give the mistaken input signal or It is programmed to carry out control which outputs a stimulus to an examined component or measures an output signal, judging that it does not lapse into a signal state which causes breakage of an examined component greatly.

For example, if a signal is given to a certain input terminal as an instruction described by the program line in order to change into the following I/O condition Q2 in a certain I/O condition Q1 of an examined component, it may lapse into the I/O condition Q3 of prohibition which does not change if the examined component is placed. In a processor 23, by performing the program line, it investigates whether an examined component will be in such a prohibition condition Q3, a control procedure which avoids the prohibition condition Q3 is judged, and a program line is performed. For example, a control procedure is judged that a processor 23 results in the I/O condition Q2 that the I/O condition of an examined component was described by the program line through a condition Q4 and condition Q5 from the condition Q1, and a program line is performed.

Moreover, as compared with a reference value or a threshold, although a processor 23 incorporates a measurement signal through a hardware module 25, the measurement data which could perform for example, straight-line amendment of the signal measured if needed, logarithmic curve amendment, etc., and was obtained memorizes those measurement data, a judgment result, etc. to the data area of a store while judging the quality.

The control signal accompanying activation of a low-ranking processors [23A, 23B, 23C-23N] program line is supplied, and hardware modules 25A, 25B, 25C-25N can measure the signal from an output terminal with which the test signal was outputted or the examined component was specified to the input terminal with which the examined component was specified.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26. A general-purpose processor is used, and this microprocessor 26 is not for carrying out complicated decision processing, and controls I/O of the signal over an examined component by the instruction from a processor 23.

Furthermore, in this invention, the bus 27 for a synchronization is formed in each low-ranking processors 23A and 23B, and 23C-23Ns so that each low-ranking processors 23A, 23B, 23C-23N can perform processing which synchronized mutually to a high speed and exact timing. Even if it is made possible to carry out direct exchange of the synchronous command through this bus 27 for a synchronization each low-ranking processors 23A and 23B and between 23C-23Ns and it does not wait for the synchronous-control processing by the processor 21 of a high order, it can carry out correctly [the synchronous processing between / 23A, 23B, 23C-23N / each low-ranking processor], and quickly.

Fig. 2 is drawing showing the important section of the example of this invention. While the bus 27 for a synchronization is established in IC test system by this invention, the synchronous command I/O edges 31A, 31B-31N are established in each processors 23A, 23B-23N, respectively, and the bus 27 for a synchronization is connected to these synchronizing signal I/O edges 31A, 31B-31N. And the each processors [23A, 23B-23N] operation part 32A, 32B-32N is connected through these synchronizing signal I/O edges 31A, 31B-31N, the synchronous command output circuits 33A, 33B-33N, and the synchronous command receiving circuits 34A, 34B-34N.

In this example, each synchronous command output circuits 33A, 33B-33N are examples which consist of RS flip-flop circuits 35A, 35B-35N and line drivers 36A, 36B-36N. That is, the each operation part [32A 32B-32N] synchronous request signals 37A, 37B-37N are supplied to the RS flip-flop circuits [35A 35B-35N] set terminal S, respectively. The RS flip-flop circuits [35A, 35B-35N] signal outgoing ends 38A, 38B-38N are connected to the synchronous command I/O edges 31A, 31B-31N through the sign reversal line drivers 36A, 36B-36N, respectively. Moreover, in this example, each synchronous command receiving circuits 34A, 34B-34N consist of line receivers, respectively, by this example, reverse a sign and supply the signal given from the synchronous command I/O edges 31A, 31B-31N to operation part 32A, 32B-32N, respectively.

The above configuration may be described to double timing and to output its control signal, and the control signal which the processors 23B-23N of other low order are processing while decoding the program line given from the host processor 21 in the low-ranking processors 23A, 23B-23N (for example, 1st processor 23A). [who gives an examined component] In this case, operation part 32 of low-ranking processor 23A A sets RS flip-flop circuit 35A by synchronous request signal 37A, and requires synchronous processing from the processors 23B-23N of other low order.

The output of RS flip-flop circuit 35A changes to the signal of H level, the signal of the H level is reversed by line driver 36A, and the signal of reversed L level is outputted to the bus 27 for a synchronization from synchronous command I/O edge 31A while it is given to own synchronous command receiving-circuit 34A of processor 23A. The signal of this L level is transmitted to the each low-ranking processors [23B-23N] synchronizing signal I/O edges 31B-31N through the bus 27 for a synchronization, and is received in each synchronous command receiving circuit 34B-34N of each. The signal of H level is reversed in the synchronous command receiving circuits 34A, 34B-34N, and the signal of the L level is supplied to processor 32A which outputted each operation part 32B-32N and a synchronous command. In each operation part 32A, 32B-32N, it can detect that the signal from the synchronous command receiving circuits 34A, 34B-34N changes to the signal of H level, and arrival of a synchronous command can be known.

Detection of a synchronous command branches each of other processors 23B-23N of the processor 23A of the low order which outputted the synchronous command itself, and low order to each routine for the synchronous processing for which it opted beforehand. Each processors 23A, 23B-23N send reset signals 39A, 39B-39N to each synchronous command output circuit 33A, 33B-33N, after the synchronous processing imposed on each is completed. RS flip-flop circuit 35A can give reset-signal 39A to the signal reset terminal R, and is reset, and the signal from output terminal 38A changes to the signal of L level. Therefore, on the bus 27 for a synchronization, the reversed signal, i.e., the signal of L level, is lost.

Namely, if the need that the processor of a certain low order takes the synchronization with the signal for a trial which he processes, and the signal for a trial which the processor of other low order processes arises, while outputting the signal which requires that synchronization according to the configuration of this invention Since the processor itself which advanced synchronous request receives the synchronizing signal and it goes into synchronous processing All the processors 23A, 23B-23N can go into synchronous processing at the basis of the same conditions, and can carry out sequence processing with an exact time interval not to mention processing of the test actuation by the same timing.

On the other hand, although the processor 21 of a high order is not shown in drawing, since the

each low-ranking processors [23A 23B, 23C-23N] status is always supervised, it can know that the synchronous control processing between processors of the low order to an examined component was completed, and the processing which controls activation **** of the following program line can be started.

Although the above example showed the case where one bus 27 for a synchronization was formed, according to possibility that the demand of synchronous processing of a class which is different in the class or **** coincidence of synchronous processing needed will occur, two or more buses 27 for a synchronization can be formed. In this case, the classification of synchronous processing is coded and you may make it output to the bus 27 for a synchronization.

Moreover, even if the situation inconvenient for any of a low-ranking processor their being arises, an urgent command can be sent to the same hierarchy's processor through this bus 27 for a synchronization, therefore that abnormality situation can also be made to cope with it without delay. That is, when un-arranging arises in a certain low-ranking processor, for example, it must be made to halt. Usually, if the processors 23A, 23B, 23C-23N of the low order which the inconvenient situation generated apply interruption which tells abnormalities to the processor 21 of a high order and detect this abnormality interruption, a host processor 21 will carry out control which makes each low-ranking processors 23A, 23B, 23C-23N suspend. However, in having carried out processing which interruption which tells abnormalities from the low-ranking processors 23A, 23B, 23C-23N is applied [processing], and stops the processor of other low order by response control of a host processor 21, it may be too late for emergency. However, it is possible to carry out urgent processing or synchronous processing immediately moreover unicific like one processor 23, without borrowing the assistance of the processor 21 of a high order in this invention by forming the bus 27 for a synchronization between [23A 23B, 23C-23N] the same hierarchy's processors.

"Effect of the invention"

As explained above, according to this invention, the processor of a high order is constituted so that activation **** of a program line may be controlled chiefly, and actual activation of a program line took control by the layered structure made it make two or more low-ranking processors distribute. Thus, while aiming at improvement in the processing speed by distributed architecture, since the optimal instruction word system is used for every hierarchy, processing until it outputs a control signal becomes early very much, and the test to an examined component can be performed at a high speed.

Moreover, synchronous processing between each low-ranking processor can be taken simply and easily, without according to the configuration of this invention, being dependent on processing of the processor of a high order, since the bus for a synchronization was formed between each low-ranking processor. Therefore, it became possible to attach very exact timing relationship and to supply two or more signals for a trial to an examined component. And also in emergency, a test system can be immediately gone into a halt or predetermined save status quickly.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

The block diagram showing [1] the example of this invention, the circuitry Fig. showing [2] the important section of this invention, and Fig. 3 are drawings showing the example of a configuration of the conventional IC test system.

A central processing unit, 12:control line, 13 : 11: A hardware module, 14 : A microprocessor, the processor of 21:high order, 22:control bus, 23 : A low-ranking processor, 24:control line, 25:hardware module, 26 : A microprocessor, the bus for 27:synchronization, a 31:synchronous command I/O edge, 32: -- operation part, a 33:synchronous command output circuit, a 34:synchronous command receiving circuit (line receiver), and 35: -- a flip-flop circuit, 36:line driver, 37:synchronous request signal, 38:output terminal, and 39:reset signal.

[Translation done.]